

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-319676

(43)Date of publication of application : 31.10.2002

(51)Int.Cl. H01L 29/78

(21)Application number : 2001-159178

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 28.05.2001

(72)Inventor : TAKEI MANABU

(30)Priority

Priority number : 2000241627 Priority date : 09.08.2000 Priority country : JP
2001036352 14.02.2001

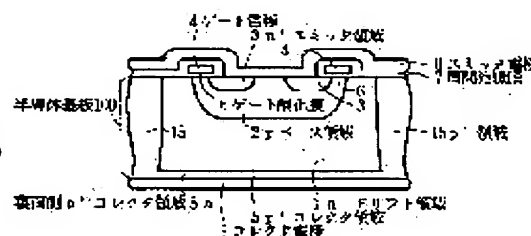
JP

(54) SEMICONDUCTOR DEVICE, MANUFACTURING METHOD AND CONTROL METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which has a small ON-state voltage, when an IGBT is kept in operation and a diode keeps operating forward and has a small reverse recovery current and soft recovery characteristics, when a diode operates in reverse.

SOLUTION: A p-base region 2 is formed on the surface layer of a semiconductor substrate 100, an n+-emitter region 3 is formed on the surface layer of the p-base region 2, a p+-collector region 5 (a p+-region 15 formed on a side, and a back p+-collector region 5a) is formed on the periphery, rear of the semiconductor substrate 100 so as to surround the p-base region 2, and the p+-collector region 5 is set as a thick of about 1 μ m.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2002-319676

(P2002-319676A)

(43) 公開日 平成14年10月31日 (2002. 10. 31)

(51) Int.Cl. ⁷	識別記号	F I	テームト* (参考)
H 0 1 L 29/78	6 5 5	H 0 1 L 29/78	6 5 5 C
	6 5 3		6 5 3 A
	6 5 5		6 5 5 F

審査請求 未請求 請求項の数16 O L (全 13 頁)

(21) 出願番号 特願2001-159178 (P2001-159178)
(22) 出願日 平成13年5月28日 (2001. 5. 28)
(31) 優先権主張番号 特願2000-241627 (P2000-241627)
(32) 優先日 平成12年8月9日 (2000. 8. 9)
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願2001-36352 (P2001-36352)
(32) 優先日 平成13年2月14日 (2001. 2. 14)
(33) 優先権主張国 日本 (J P)

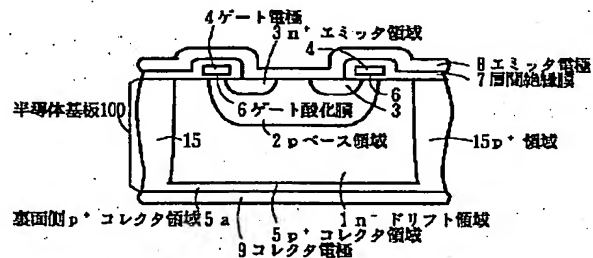
(71) 出願人 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(72) 発明者 武井 学
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(74) 代理人 100088339
弁理士 篠部 正治

(54) 【発明の名称】 半導体装置とその製造方法およびその制御方法

(57) 【要約】

【課題】 I G B T 動作時およびダイオード順動作時のオン電圧が低く、また、ダイオード逆動作時の逆回復電流が小さく、ソフトリカバリー特性となる半導体装置およびその製造方法を提供すること。

【解決手段】 半導体基板100の表面層にpベース領域2を形成し、このpベース領域2の表面層にn⁺エミッタ領域3を形成し、この半導体基板100の外周部と裏面側に、pベース領域2を取り囲むようにp⁺コレクタ領域5 (側面に形成されるp⁺領域15と裏面側p⁺コレクタ領域5a) が形成され、裏面のp⁺コレクタ領域5の厚さを1μm程度とする。



【特許請求の範囲】

【請求項1】第1導電形半導体基板の第1主面の表面層に選択的に形成される第2導電形ベース領域と、該ベース領域の表面層に選択的に形成される第1導電形エミッタ領域と、前記半導体基板と前記エミッタ領域に挟まれた前記ベース領域上にゲート絶縁膜を介して形成されるゲート電極と、前記半導体基板の第2主面の表面層に形成される第2導電形コレクタ領域と、前記エミッタ領域上と前記ベース領域上に選択的に形成されるエミッタ電極と、前記コレクタ領域上に形成されるコレクタ電極とを有する半導体装置において、

前記第1導電形半導体基板と前記コレクタ領域との境界に形成されるpn接合の逆方向のアバランシェ電圧が、前記第1導電形半導体基板と前記第2導電形ベース領域との境界に形成されるpn接合の順方向のアバランシェ電圧より、高いことを特徴とする半導体装置。

【請求項2】第1導電形半導体基板の第1主面の表面層に選択的に形成される第2導電形ベース領域と、該ベース領域の表面層に選択的に形成される第1導電形エミッタ領域と、前記半導体基板と前記エミッタ領域に挟まれた前記ベース領域上にゲート絶縁膜を介して形成されるゲート電極と、前記ベース領域を取り囲むように、前記半導体基板の第2主面および前記半導体基板の第1主面から第2主面に亘って形成される第2導電形コレクタ領域と、前記エミッタ領域上と前記ベース領域上に選択的に形成されるエミッタ電極と、前記コレクタ領域上に形成されるコレクタ電極とを有する半導体装置において、前記第1導電形半導体基板と、前記第2主面側に形成される前記コレクタ領域との境界に形成されるpn接合の逆方向のアバランシェ電圧が、前記第1導電形半導体基板、前記第2導電形ベース領域との境界に形成されるpn接合の順方向のアバランシェ電圧より、高いことを特徴とする半導体装置。

【請求項3】第1導電形半導体基板の第1主面の表面層に選択的に形成される第2導電形ベース領域と、該ベース領域の表面から前記ベース層を貫通し、前記半導体基板内に到達するように形成されたトレンチ溝と、該トレンチ溝にゲート絶縁膜を介して形成されるゲート電極と、前記ベース領域の表面層に、前記トレンチ溝と接して、選択的に形成される第1導電形エミッタ領域と、前記ベース領域を取り囲むように、前記半導体基板の第2主面および前記半導体基板の第1主面から第2主面に亘って形成される第2導電形コレクタ領域とを有する半導体装置において、前記第1導電形半導体基板と、前記第2主面側に形成される前記コレクタ領域との境界に形成されるpn接合の逆方向のアバランシェ電圧が、前記第1導電形半導体基板、前記第2導電形ベース領域との境界に形成されるpn接合の順方向のアバランシェ電圧より、高いことを特徴とする半導体装置。

【請求項4】第1導電形半導体基板の第1主面の表面層に選択的に形成される第2導電形ベース領域と、該ベース領域の表面層に選択的に形成される第1導電形エミッタ領域と、前記半導体基板と前記エミッタ領域に挟まれた前記ベース領域上にゲート絶縁膜を介して形成されるゲート電極と、前記ベース領域を取り囲むように、前記半導体基板の第2主面および前記半導体基板の第1主面から第2主面に亘って形成される第2導電形コレクタ領域と、前記エミッタ領域上と前記ベース領域上に選択的に形成されるエミッタ電極と、前記コレクタ領域上に形成されるコレクタ電極とを有する半導体装置において、前記半導体基板の第2主面側に形成され、前記半導体基板とコレクタ電極との間に位置する前記コレクタ領域の厚みが、 $0.1\mu\text{m}$ ないし $10\mu\text{m}$ であることを特徴とする半導体装置。

【請求項5】第1導電形半導体基板の第1主面の表面層に選択的に形成される第2導電形ベース領域と、該ベース領域の表面から前記ベース層を貫通し、前記半導体基板内に到達するように形成されたトレンチ溝と、該トレンチ溝にゲート絶縁膜を介して形成されるゲート電極と、前記ベース領域の表面層に、前記トレンチ溝と接して、選択的に形成される第1導電形エミッタ領域と、前記ベース領域を取り囲むように、前記半導体基板の第2主面および前記半導体基板の第1主面から第2主面に亘って形成される第2導電形コレクタ領域とを有する半導体装置において、前記半導体基板の第2主面側に形成され、前記半導体基板とコレクタ電極との間に位置する前記コレクタ領域の厚みが、 $0.1\mu\text{m}$ ないし $10\mu\text{m}$ であることを特徴とする半導体装置。

【請求項6】第1導電形半導体基板の第1主面の表面層に選択的に第2導電形ベース領域を形成し、該ベース領域の表面層に選択的に第1導電形エミッタ領域を形成し、前記半導体基板と前記エミッタ領域に挟まれた前記ベース領域上にゲート絶縁膜を介してゲート電極を形成し、前記ベース領域を取り囲むように、前記半導体基板の第2主面および前記半導体基板の第1主面から第2主面に亘って形成される第2導電形コレクタ領域とを有する半導体装置の製造方法において、前記ベース領域の側面を取り囲むコレクタ領域となる第2導電形の第1領域を、前記ベース領域より深い深さで半導体基板の第1主面側から形成する工程と、該半導体基板の第2主面側を、前記第1領域が露出する深さに削除する工程と、該第1領域が露出した第2主面の表面層に $0.1\mu\text{m}$ ないし $10\mu\text{m}$ の深さで、前記第1領域に接して、前記第2主面側のコレクタ領域となる第2導電形の第2領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項7】第1導電形半導体基板の第1主面の表面層に選択的に第2導電形ベース領域を形成し、該ベース領域

域の表面から該ベース領域を貫通し、前記半導体基板内に到達するトレンチ溝を形成し、該トレンチ溝にゲート絶縁膜を介してゲート電極を形成し、前記ベース領域の表面層に前記トレンチ溝と接して、第1導電形エミッタ領域を選択的に形成し、前記ベース領域を取り囲むように、前記半導体基板に形成される第2導電形コレクタ領域を有する半導体装置の製造方法において、

前記ベース領域の側面を取り囲むコレクタ領域となる第2導電形の第1領域を、前記ベース領域より深い深さで半導体基板の第1主面側から形成する工程と、該半導体基板の第2主面側を、前記第1領域が露出する深さに削除する工程と、該第1領域が露出した第2主面の表面層に0.1 μm ないし10 μm の深さで、前記第1領域に接して、前記第2主面側のコレクタ領域となる第2導電形の第2領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項8】前記コレクタ領域が、第2導電形不純物をイオン注入し、300℃ないし500℃で熱処理されて形成されることを特徴とする請求項6または7に記載の半導体装置の製造方法。

【請求項9】前記第2領域が、第2導電形不純物をイオン注入し、レーザーアニール処理で形成されることを特徴とする請求項6または7に記載の半導体装置の製造方法。

【請求項10】前記コレクタ領域の活性化した第2導電形不純物のピーク濃度が $5 \times 10^{16} \text{ cm}^{-3}$ 以上で、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることを特徴とする請求項6ないし9に記載の半導体装置の製造方法。

【請求項11】前記第1主面側に形成された前記エミッタ領域表面から、前記第2主面側に形成された前記コレクタ領域表面までの距離が50 μm ないし200 μm であることを特徴とする請求項6または7に記載の半導体装置の製造方法。

【請求項12】第1導電形半導体基板の第1主面の表面層に選択的に形成される第2導電形ベース領域と、該ベース領域の表面層に選択的に形成される第1導電形エミッタ領域と、前記半導体基板と前記エミッタ領域に挟まれた前記ベース領域上にゲート絶縁膜を介して形成されるゲート電極と、前記半導体基板の第2主面の表面層に形成される第2導電形コレクタ領域と、前記エミッタ領域上と前記ベース領域上に選択的に形成されるエミッタ電極と、前記コレクタ領域上に形成されるコレクタ電極とを有し、前記第1導電形半導体基板と前記コレクタ領域との境界に形成されるpn接合と、前記第1導電形半導体基板と前記第2導電形ベース領域との境界に形成されるpn接合とが、前記第1導電形半導体基板の側面に露出するベベル構造を有する半導体装置において、前記第1導電形半導体基板と前記コレクタ領域との境界に形成されるpn接合の逆方向のアバランシェ電圧を、前記第1導電形半導体基板と前記第2導電形ベース領域との

境界に形成されるpn接合の順方向のアバランシェ電圧より、高くすることを特徴とする半導体装置。

【請求項13】第1導電形半導体基板の第1主面の表面層に選択的に形成される第2導電形ベース領域と、該ベース領域の表面層に選択的に形成される第1導電形エミッタ領域と、前記半導体基板と前記エミッタ領域に挟まれた前記ベース領域上にゲート絶縁膜を介して形成されるゲート電極と、前記半導体基板の第2主面の表面層に形成される第2導電形コレクタ領域と、前記エミッタ領域上と前記ベース領域上に選択的に形成されるエミッタ電極と、前記コレクタ領域上に形成されるコレクタ電極とを有し、前記第1導電形半導体基板と前記コレクタ領域との境界に形成されるpn接合と、前記第1導電形半導体基板と前記第2導電形ベース領域との境界に形成されるpn接合とが、前記第1導電形半導体基板の側面に露出するベベル構造を有する半導体装置において、前記半導体基板の第2主面側に形成され、前記半導体基板とコレクタ電極との間に位置する前記コレクタ領域の厚みが、0.1 μm ないし10 μm であることを特徴とする半導体装置。

【請求項14】前記コレクタ領域の厚みが0.1 μm ないし2 μm であることを特徴とする請求項4、5および13のいずれかに記載の半導体装置。

【請求項15】請求項1ないし請求項5および請求項12ないし請求項14のいずれかに記載の半導体装置の制御方法において、前記エミッタ電極の電位に対して前記コレクタ電極の電位が低電位にある期間、前記エミッタ電極に対して前記ゲート電極が、しきい値電圧以上の正電圧を印加され、前記第2導電形ベース領域の表面層に第1導電形のチャネルを形成することを特徴とする半導体装置の制御方法。

【請求項16】逆阻止型IGBT半導体装置において、エミッタ電極の電位に対して、コレクタ電極の電位が低電位にある期間、前記エミッタ電極に対してゲート電極がしきい値電圧以上の正電圧を印加することを特徴とする半導体装置の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電力変換装置などに用いられる逆阻止型IGBTなどの半導体装置とその製造方法およびその制御方法に関する。ここでIGBTは絶縁ゲート型バイポーラトランジスタのことである。

【0002】

【従来の技術】図13で示されるプレーナゲート型NP T（ノンパンチスルー）-IGBTは、n形FZ（フローティングゾーン）ウェハにpベース領域52、チャネルストッパーであるp⁺領域60、ゲート酸化膜56、ゲート電極54、n⁺エミッタ領域53およびエミッタ電極58等の表面構造を形成した後、裏面を所定の厚

さに削り、 $1\mu\text{m}$ 程度の厚さの p^+ コレクタ領域55およびコレクタ電極59を形成して製造される。裏面の p^+ コレクタ領域55を形成するための p 形不純物の活性化処理温度は、表面に形成済みのアルミニウムのエミッタ電極58が溶融しないように低温度で行う必要がある。また各耐圧クラスに応じて図示しない適切なエッジターミネーション構造（端部耐圧構造）が外周部に付加される。ここでは、1セル（ p ベース領域52）のみを図示してあるが、通常は複数のセル構造が存在する。

【0003】コレクタ電極59に正電圧を印加した状態で、ゲート電極に正電圧を印加すると、IGBT表面にチャネルが形成されて n^- ドリフト領域51中を電子電流が流れる。電子が p^+ コレクタ領域55に到達するとホールがドリフト領域に注入され、 p^+ ドリフト領域55は高注入状態となり、伝導度変調を起こして、抵抗が激減する。このため低オン電圧が実現される。

【0004】コレクタ電極59に正電圧を印加（順バイアス）し、ゲート電極54に電圧を印加しない状態では、空乏領域が p ベース領域52と n^- ドリフト領域51の pn 接合から n^- ドリフト領域51側に伸びる。また、空乏層の終端はシリコン表面に形成される耐圧構造部となるために、順方向電圧を確実に阻止できる。一方、コレクタ電極59に負電圧を印加（逆バイアス）すると、空乏領域が p^+ コレクタ領域55と n^- ドリフト領域51の pn 接合から伸びるが、この pn 接合は、シリコンの側面に露出しており、空乏領域はむき出しのシリコン側面に沿って形成されるために、発生電流（もれ電流）が極めて大きくなり、逆耐圧が低下する。またシリコン側面（デバイス側面）はパッシベーション処理していないために、長期間デバイスを使用すると逆方向耐圧が変化するという信頼性上の問題が存在する。従って図13のような、従来のIGBTでは十分な逆方向耐圧が保証できない。つぎに、この逆方向耐圧を保証する従来の逆阻止型IGBTについて説明する。

【0005】図14で示されるプレーナゲート構造の逆阻止型IGBTは、エピタキシャル成長基板（エピタキシャルウエハ）を用いて製作されたものである。数百 μm の厚みを有する高濃度 p 形基板65上に n^- エピタキシャル領域61aを成長させ、活性領域を囲むように選択的に深い p^+ 領域85（分離拡散領域：側面の p^+ コレクタ領域となる）を形成し、 p ベース領域62、ゲート酸化膜66、ゲート電極64、 n^+ エミッタ領域63およびエミッタ電極68等の表面構造を形成し、電子線等のライフタイムキラーを導入して製造される。デバイス側面が高濃度の p^+ 領域85と基板65（裏面の p^+ コレクタ領域となる）で囲まれているので、逆電圧を印加した際にも空乏領域がデバイス側面に現れることはないため、十分な逆耐圧を得ることが可能となる。

【0006】この逆阻止型IGBTを図15のように逆並列に接続すると、双方向の電流を制御でき、双方向の

印加電圧にも耐えられる、双方向デバイスとして機能する。尚、図中、 $T1$ 、 $T2$ は主端子、 $G1$ 、 $G2$ はゲート端子、 $E1$ 、 $E2$ はエミッタ端子である。双方向デバイスを交流-交流変換器に応用すると、直接変換が可能になり、従来のコンバータ+コンデンサインバータで構成される変換回路と比べて装置のサイズが縮小化され、コストダウンが可能になる。また双方向デバイスを構成する逆阻止型IGBTは、IGBTとしての機能は勿論のこと、正のゲート電圧を印加しているときは、後述するようにダイオード（還流ダイオード）としての機能も有する。

【0007】図16に示されるプレーナゲート構造の逆阻止型IGBTは、FZ基板（FZウエハ）を用いて製作されたものである。 n 形FZウエハの表面および裏面から深い p^+ 領域95（分離拡散領域：側面の p^+ コレクタ領域となる）を形成し、同時に裏面から深い p^+ 領域を拡散形成し裏面の p^+ コレクタ領域75とし、その後表面に p ベース領域72、ゲート酸化膜76、ゲート電極74、 n^+ エミッタ領域73およびエミッタ電極78等の表面構造を形成する。この素子に、電子線等のライフタイムキラーを導入しても、十分な逆方向耐圧を確保できる。

【0008】これらの逆阻止型IGBTにおいて、エピタキシャルウエハを用いて裏面の p^+ コレクタ領域65を形成する場合も、FZウエハを用いて裏面の p^+ コレクタ領域75を熱拡散で形成する場合も、裏面の p^+ コレクタ領域65、75の厚みは数十 μm から数百 μm となる。このように裏面の p^+ コレクタ領域65、75が厚くなると、オン電流を流したとき、裏面のコレクタ領域内での電圧降下が大きくなるため、この電圧降下を低く抑えるために、裏面の p^+ コレクタ領域65、75の不純物ピーク濃度を 10^{18}cm^{-3} を超える濃度にして、裏面の p^+ コレクタ領域65、75内での電圧降下を極力小さくする必要がある。

【0009】

【発明が解決しようとする課題】しかし、裏面の p^+ コレクタ領域65、75の不純物濃度が高くなると、 n^- ドリフト領域61、71への正孔のキャリア注入量が多くなり、この正孔を中和するように電子密度も増加する。この電子密度は、図17の実線Aで示すように、裏面の p^+ コレクタ領域65、75と n^- ドリフト領域61、71の pn 接合付近の n^- ドリフト領域で大きくなり、この箇所に過剰キャリアが蓄積する。これはダイオード動作時（FWD動作時）のアノード側（IGBTのコレクタ側）偏重のキャリア分布となることを意味する。このようなアノード側（コレクタ側）偏重のキャリア分布をしていると、IGBT動作時のターンオフ時には、空乏領域は表面 pn 接合から伸びて蓄積キャリアを掃き出していくので、コレクタ側のキャリアは空乏領域が十分伸びた段階、すなわち高電圧が印加された状態で

掃き出される。従ってコレクタ側の蓄積キャリアはエミッタ側のキャリアと比べてより大きなターンオフ損失を発生する。このためコレクタ側偏重のキャリア分布を有する従来の逆阻止型IGBTは、ターンオフ損失が大きい。

【0010】また、ダイオード動作時の逆回復過程では、アノード側（IGBTのコレクタ側）から伸びる空乏領域によって蓄積過剰キャリアが掃き出されるため、アノード側のキャリア量が多いと逆回復ピーク電流が大きくなり、ハードリカバリーになる。つまり、この逆阻止型IGBTは、ゲート電極に正電圧を印加し続けると、印加している期間は、 p^+ コレクタ領域65、75がアノードで、 n^+ エミッタ領域63、73がカソードのダイオード（還流ダイオード）として働く。前記のように、 n^- ドリフト領域61、71のコレクタ領域側に過剰キャリアが蓄積していると、このダイオードの逆回復動作で、大きな逆回復電流が流れる。

【0011】この逆回復電流の大きさは、前記したように、 n^- ドリフト領域61、71のコレクタ側での過剰キャリアの蓄積量が大きい程大きく、また、逆回復電流が大きい程、ハードリカバリー波形になる傾向が強い。逆回復電流の波形がハードリカバリーとなると、飛躍逆電圧が高くなり、この飛躍逆電圧が高く成りすぎると、素子の逆電圧定格を超えてしまい、素子を破壊する。

【0012】また、図15のように、この逆阻止型IGBTを2個逆並列に接続して、双方向IGBTとした場合、アバランシェ電圧以上のサージ電圧が印加されたとき、アバランシェ電圧が低い逆阻止型IGBTにアバランシェ電流が流れる。通常の逆阻止型IGBTのアバランシェ電圧は、順方向と逆方向でほぼ等しく製造される。

【0013】しかし、この双方向IGBTを構成する2個の逆阻止型IGBTの順方向および逆方向のアバランシェ電圧が、製造ばらつきによって、第1のIGBT（ゲート端子G1、エミッタ端子E1）の順方向のアバランシェ電圧より、第2のIGBT（ゲート端子G2、エミッタ端子E2）の逆方向のアバランシェ電圧が多少低く、また、第1のIGBTの逆方向のアバランシェ電圧が、第2のIGBTの順方向のアバランシェ電圧より多少高くなることもある。その場合には、主端子T1に正電圧のサージ電圧が印加されたとき、第2のIGBTに順方向のアバランシェ電流が流れる。また、主端子T2に正電圧のサージ電圧が印加されたとき、やはり第2のIGBTに逆方向のアバランシェ電流が流れる。

【0014】そのため、順方向、逆方向いずれのサージ電圧に対しても、第2のIGBTにのみサージ電流が流れて、第2のIGBTの発生損失が増大し、素子が破壊することもあり、双方向IGBTとしてのサージ耐量が低下する。また、前記第1のIGBTまたは第2のIGBTが逆バイアスされると、空乏層中で電子および正孔

の対が発生する。発生した正孔はコレクタ電極に流れ込み、電子はエミッタ電極に向かって流れ、 p ベース領域に流れ込む。この電子電流は、IGBTの寄生バイポーラトランジスタ（ p ベース領域がエミッタ、 n^- ドリフト領域がベース、 p コレクタ領域がコレクタである $p n p$ トランジスタ）のベース電流となるために、正孔が p ベース領域から n^- ドリフト領域に向かって注入されてコレクタ電極に流れ込み、非常に大きな逆方向漏れ電流となる。

【0015】この発明の目的は、前記の課題を解決して、サージ耐量が高い双方向IGBTを製作できて、IGBT動作時およびダイオード順動作時のオン電圧が低く、また、ダイオード逆動作時の逆回復電流が小さく、ソフトリカバリー特性となる半導体装置とその製造方法および漏れ電流を小さくできる制御方法を提供することにある。

【0016】

【課題を解決するための手段】前記の目的を達成するために、

(1) 第1導電形半導体基板の第1主面の表面層に選択的に形成される第2導電形ベース領域と、該ベース領域の表面層に選択的に形成される第1導電形エミッタ領域と、前記半導体基板と前記エミッタ領域に挟まれた前記ベース領域上にゲート絶縁膜を介して形成されるゲート電極と、前記半導体基板の第2主面の表面層に形成される第2導電形コレクタ領域と、前記エミッタ領域上と前記ベース領域上に選択的に形成されるエミッタ電極と、前記コレクタ領域上に形成されるコレクタ電極とを有する半導体装置において、前記第1導電形半導体基板と前記コレクタ領域との境界に形成される $p n$ 接合の逆方向のアバランシェ電圧を、前記第1導電形半導体基板と前記第2導電形ベース領域との境界に形成される $p n$ 接合の順方向のアバランシェ電圧より、高くなる構成とする。

(2) 第1導電形半導体基板の第1主面の表面層に選択的に形成される第2導電形ベース領域と、該ベース領域の表面層に選択的に形成される第1導電形エミッタ領域と、前記半導体基板と前記エミッタ領域に挟まれた前記ベース領域上にゲート絶縁膜を介して形成されるゲート電極と、前記ベース領域を取り囲むように、前記半導体基板の第2主面および前記半導体基板の第1主面から第2主面に亘って形成される第2導電形コレクタ領域と、前記エミッタ領域上と前記ベース領域上に選択的に形成されるエミッタ電極と、前記コレクタ領域上に形成されるコレクタ電極とを有する半導体装置において、前記第1導電形半導体基板と、前記第2主面側に形成される前記コレクタ領域との境界に形成される $p n$ 接合の逆方向のアバランシェ電圧を、前記第1導電形半導体基板、前記第2導電形ベース領域との境界に形成される $p n$ 接合の順方向のアバランシェ電圧より、高くなる構成とする。

る。

(3) 第1導電形半導体基板の第1主面の表面層に選択的に形成される第2導電形ベース領域と、該ベース領域の表面から前記ベース層を貫通し、前記半導体基板内に到達するように形成されたトレンチ溝と、該トレンチ溝にゲート絶縁膜を介して形成されるゲート電極と、前記ベース領域の表面層に、前記トレンチ溝と接して、選択的に形成される第1導電形エミッタ領域と、前記ベース領域を取り囲むように、前記半導体基板の第2主面および前記半導体基板の第1主面から第2主面に亘って形成される第2導電形コレクタ領域とを有する半導体装置において、前記第1導電形半導体基板と、前記第2主面側に形成される前記コレクタ領域との境界に形成されるpn接合の逆方向のアバランシェ電圧を、前記第1導電形半導体基板、前記第2導電形ベース領域との境界に形成されるpn接合の順方向のアバランシェ電圧より、高くなる構成とする。

(4) 第1導電形半導体基板の第1主面の表面層に選択的に形成される第2導電形ベース領域と、該ベース領域の表面層に選択的に形成される第1導電形エミッタ領域と、前記半導体基板と前記エミッタ領域に挟まれた前記ベース領域上にゲート絶縁膜を介して形成されるゲート電極と、前記ベース領域を取り囲むように、前記半導体基板の第2主面および前記半導体基板の第1主面から第2主面に亘って形成される第2導電形コレクタ領域と、前記エミッタ領域上と前記ベース領域上に選択的に形成されるエミッタ電極と、前記コレクタ領域上に形成されるコレクタ電極とを有する半導体装置において、前記ベース領域下の前記半導体基板の第2主面側に形成され、前記半導体基板のコレクタ電極との間に位置する前記コレクタ領域の厚みが、 $0.1\mu\text{m}$ ないし $10\mu\text{m}$ である構成とする。

(5) 第1導電形半導体基板の第1主面の表面層に選択的に形成される第2導電形ベース領域と、該ベース領域の表面から前記ベース層を貫通し、前記半導体基板内に到達するように形成されたトレンチ溝と、該トレンチ溝にゲート絶縁膜を介して形成されるゲート電極と、前記ベース領域の表面層に、前記トレンチ溝と接して、選択的に形成される第1導電形エミッタ領域と、前記ベース領域を取り囲むように、前記半導体基板の第2主面および前記半導体基板の第1主面から第2主面に亘って形成される第2導電形コレクタ領域と、前記エミッタ領域上と前記ベース領域上に選択的に形成されるエミッタ電極と、前記コレクタ領域上に形成されるコレクタ電極とを有する半導体装置において、前記ベース領域下の前記半導体基板の第2主面側に形成され、前記半導体基板のコレクタ電極との間に位置する前記コレクタ領域の厚みが、 $0.1\mu\text{m}$ ないし $10\mu\text{m}$ である構成とする。

(6) 第1導電形半導体基板の第1主面の表面層に選択的に第2導電形ベース領域を形成し、該ベース領域の表

面層に選択的に第1導電形エミッタ領域を形成し、前記半導体基板と前記エミッタ領域に挟まれた前記ベース領域上にゲート絶縁膜を介してゲート電極を形成し、前記ベース領域を取り囲むように、前記半導体基板の第2主面および前記半導体基板の第1主面から第2主面に亘って形成される第2導電形コレクタ領域と、前記エミッタ領域上と前記ベース領域上に選択的に形成されるエミッタ電極と、前記コレクタ領域上に形成されるコレクタ電極とを有する半導体装置において、前記ベース領域の側面を取り囲むコレクタ領域となる第2導電形の第1領域を、前記ベース領域より深い深さで半導体基板の第1主面側から形成する工程と、該半導体基板の第2主面側を、前記第1領域が露出する深さに削除する工程と、該第1領域が露出した第2主面の表面層に $0.1\mu\text{m}$ ないし $10\mu\text{m}$ の深さで、前記第1領域に接して、前記第2主面側のコレクタ領域となる第2導電形の第2領域を形成する工程とを含む製造方法とする。

(7) 第1導電形半導体基板の第1主面の表面層に選択的に第2導電形ベース領域を形成し、該ベース領域の表面から該ベース領域を貫通し、前記半導体基板内に到達するトレンチ溝を形成し、該トレンチ溝にゲート絶縁膜を介してゲート電極を形成し、前記ベース領域の表面層に前記トレンチ溝と接して、第1導電形エミッタ領域を選択的に形成し、前記ベース領域を取り囲むように、前記半導体基板に形成された第2導電形コレクタ領域を有する半導体装置において、前記ベース領域の側面を取り囲むコレクタ領域となる第2導電形の第1領域を、前記ベース領域より深い深さで半導体基板の第1主面側から形成する工程と、該半導体基板の第2主面側を、前記第1領域が露出する深さに削除する工程と、該第1領域が露出した第2主面の表面層に $0.1\mu\text{m}$ ないし $10\mu\text{m}$ の深さで、前記第1領域に接して、前記第2主面側のコレクタ領域となる第2導電形の第2領域を形成する工程とを含む製造方法とする。

(8) (6)項および(7)項のコレクタ領域が、第2導電形不純物をイオン注入し、 300°C ないし 500°C で熱処理されて形成されるとよい。

(9) (6)項および(7)項のコレクタが、第2導電形不純物をイオン注入し、レーザーアニール処理で形成されるとよい。

(10) (6)項から(9)項のコレクタ領域の活性化した第2導電形不純物のピーク濃度が、 $5 \times 10^{16} \text{ cm}^{-3}$ 以上で、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であるといよい。

(11) (6)項および(7)項の第1主面側に形成された前記エミッタ領域表面から、前記第2主面側に形成された前記コレクタ領域表面までの距離が $50\mu\text{m}$ ないし $200\mu\text{m}$ であることよい。

(12) 第1導電形半導体基板の第1主面の表面層に選択的に形成される第2導電形ベース領域と、該ベース領域の表面層に選択的に形成される第1導電形エミッタ

領域と、前記半導体基板と前記エミッタ領域に挟まれた前記ベース領域上にゲート絶縁膜を介して形成されるゲート電極と、前記半導体基板の第2主面の表面層に形成される第2導電形コレクタ領域と、前記エミッタ領域上と前記ベース領域上に選択的に形成されるエミッタ電極と、前記コレクタ領域上に形成されるコレクタ電極とを有し、前記第1導電形半導体基板と前記コレクタ領域との境界に形成されるpn接合と、前記第1導電形半導体基板と前記第2導電形ベース領域との境界に形成されるpn接合とが、前記第1導電形半導体基板の側面に露出するベベル構造を有する半導体装置において、前記第1導電形半導体基板と前記コレクタ領域との境界に形成されるpn接合の逆方向のアバランシェ電圧を、前記第1導電形半導体基板と前記第2導電形ベース領域との境界に形成されるpn接合の順方向のアバランシェ電圧より、高くなる構成とする。

(13) 第1導電形半導体基板の第1主面の表面層に選択的に形成される第2導電形ベース領域と、該ベース領域の表面層に選択的に形成される第1導電形エミッタ領域と、前記半導体基板と前記エミッタ領域に挟まれた前記ベース領域上にゲート絶縁膜を介して形成されるゲート電極と、前記半導体基板の第2主面の表面層に形成される第2導電形コレクタ領域と、前記エミッタ領域上と前記ベース領域上に選択的に形成されるエミッタ電極と、前記コレクタ領域上に形成されるコレクタ電極とを有し、前記第1導電形半導体基板と前記コレクタ領域との境界に形成されるpn接合と、前記第1導電形半導体基板と前記第2導電形ベース領域との境界に形成されるpn接合とが、前記第1導電形半導体基板の側面に露出するベベル構造を有する半導体装置において、前記半導体基板の第2主面側に形成され、前記半導体基板とコレクタ電極との間に位置する前記コレクタ領域の厚みが、0.1 μ mないし10 μ mである構成とする。

(14) (4)項、(5)項および(13)項のコレクタ領域の厚みが0.1 μ mないし2 μ mであるとさらによい。

【0017】前記のように、裏面に形成されたコレクタ領域が、従来の逆阻止型IGBTのコレクタ領域に対して厚みを薄くすることで、低濃度にしても、オン電圧の上昇は抑制される。また、定常オン状態におけるエミッタ注入効率が低いため、IGBT動作時においてコレクタ側のキャリア濃度が制限されて、キャリア分布が改善されてターンオフ損失が低減される。また、ダイオード動作時においても、アノード側のキャリア濃度が制限され、逆回復ピーク電流が低減されるのでソフトリカバリ特性が得られる。

【0018】また、従来型構造と同様に、デバイス側面が高濃度p⁺領域で囲まれているので、逆電圧を印加した際にも空乏領域がデバイス側面に現れることはなく、順方向のアバランシェ電圧より、逆方向のアバランシェ

電圧を高くすることができる。また、コレクタ領域と半導体基板との境界のpn接合を側面に露出させ、ベベル構造とし、そのベベル角を所定の値にすることで、順方向のアバランシェ電圧より、逆方向のアバランシェ電圧を高くすることができる。

【0019】また、コレクタ領域を形成する温度を低温度で行うことで、表面に形成済みのエミッタ電極が溶融しないようにできる。

(15) (1)項ないし(5)項および(12)項ないし(14)項のいずれかに記載の半導体装置の制御方法において、前記エミッタ電極の電位に対して前記コレクタ電極の電位が低電位にある期間、前記エミッタ電極に対して前記ゲート電極が、しきい値電圧以上の正電圧を印加され、前記第2導電型ベース領域の表面層に第1導電型のチャンネルを形成するような制御方法とする。

【0020】(16) 逆阻止型IGBT半導体装置において、エミッタ電極の電位に対して、コレクタ電極の電位が低電位にある期間、前記エミッタ電極に対してゲート電極がしきい値電圧以上の正電圧を印加するような制御方法とする。

【0021】

【発明の実施の形態】図1はこの発明の第1実施例の半導体装置の要部断面図である。半導体基板100の表面層にpベース領域2を形成し、このpベース領域2の表面層にn⁺エミッタ領域3を形成する。この半導体基板100の外周部と裏面側に、pベース領域2を取り囲むようにp⁺コレクタ領域5（側面に形成されるp⁺領域15と裏面のp⁺コレクタ領域5a）が形成される。裏面のp⁺コレクタ領域5aの厚さは1 μ m程度である。半導体基板で前記pベース領域2とp⁺コレクタ領域5が形成されない箇所がn⁻ドリフト領域1である。このn⁻ドリフト領域1とn⁺エミッタ領域3に挟まれたpベース領域2上にゲート酸化膜6を介してゲート電極4が形成される。層間絶縁膜7でゲート電極と絶縁されてエミッタ電極8が形成され、p⁺コレクタ領域5上にコレクタ電極9が形成される。尚、p⁺コレクタ領域5に取り囲まれる領域には、前記pベース領域2が複数個形成され、それぞれのpベース領域2内にn⁺エミッタ領域3が形成されるが、図1では、模式的に1個のpベース領域2を示した。つぎに、図1の半導体装置の具体的な製造方法について説明する。

【0022】図2から図8は、この発明の第2実施例の半導体装置の製造方法であり、工程順に示した要部製造工程断面図である。この半導体装置は600V耐圧の逆阻止型IGBTの例である。厚さ525 μ mの不純物濃度1.5 $\times 10^{14}$ cm⁻³のFZウェハ101の表面に、厚さ1.6 μ mの初期酸化膜11を形成し、後工程でpベース領域2が形成される箇所の周辺部に幅100 μ mの開口部12を選択的にエッチングして形成する（図2）。

【0023】つぎに、表面にボロンソースを塗布して熱処理することで、ボロンのデポジションを行うい、ボロンデポジション領域13を形成する(図3)。つぎに、ボロンガラスエッチングを行い酸化膜中のボロンを除去した後、1200℃以上の温度において酸素雰囲気中で深さ120μmまでボロンを拡散し、p⁺コレクタ領域5の一部となるp⁺領域15を形成する。このとき、酸化膜14も形成される(図4)。

【0024】つぎに、pベース領域2、ゲート酸化膜6、ゲート電極4、n⁺エミッタ領域3、およびエミッタ電極8等を通常のプレーナゲート型IGBTと同様の方法で形成する(図5)。高速化を図るために、ライフタイムキラーとして電子線照射やヘリウム照射を行うこともある。つぎに、裏面を削り、FZウエハ101の厚さを100μm程度(IGBTの耐圧が1200V程度の場合は180μm程度)にし、削り面16にはp領域15を露出させる(図6)。

【0025】つぎに、裏面に、ドーザ量 $1 \times 10^{13} \text{ cm}^{-2}$ のボロンをイオン注入して350℃程度で1時間程度の低温アニールを行い、活性化したボロンのピーク濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 程度で、厚みが1μm程度の裏面のp⁺コレクタ領域5aを形成する。この裏面のp⁺コレクタ領域5aと前記のp⁺領域15を合わせてp⁺コレクタ領域5となる(図7)。

【0026】つぎに、コレクタ電極9を形成して、FZウエハ101を点線で示した切断箇所17で切断し(図8)、図1のような逆阻止型IGBTが製造される。上記方法で製造されたIGBTの順方向のアバランシェ電圧が700V前後、逆方向のアバランシェ電圧が800V前後となった。この逆阻止形IGBTは、裏面のp⁺コレクタ領域5aの不純物濃度が低く、注入効率が低減されているので、IGBT動作時にはコレクタ側のキャリア濃度が制限されて、キャリア分布が前記の図17の点線Bで示すように改善され、ターンオフ損失が低減される。同じオン電圧2.1Vの場合、従来の逆阻止型IGBTのターンオフ損失は3.83mJであったが、本発明の逆阻止型IGBTのターンオフ損失は2.96mJであった。

【0027】また、ダイオード動作時にはアノード側のキャリア濃度が制限され、逆回復ピーク電流が低減され、ソフトリカバリー特性が得られる。また、図1の半導体基板100の側面が高濃度p⁺領域15(側面のp⁺コレクタ領域)で囲まれており、全てのpn接合が半導体基板100の表面で終端している構造である。そのため、逆電圧を印加した際にも空乏領域が半導体基板100の側面に現れることはなく、十分な逆耐圧を得ることができる。

【0028】尚、前記のアニール温度が300℃未満では、不純物イオンの活性化率が低下し、所望のピーク濃度が得られない。一方、500℃を超えるとエミッタ電

極材料であるAl-Si合金中のシリコンがエミッタ電極8とn⁺エミッタ領域3の界面に析出して、n⁺エミッタ領域3とエミッタ電極8とのコンタクト抵抗が増大するために、アニール温度は300℃以上で、500℃以下が望ましい。

【0029】また、前記の裏面のp⁺コレクタ領域5aのピーク濃度が $5 \times 10^{16} \text{ cm}^{-3}$ 未満では、注入効率が低下して、オン電圧が上昇する。また、逆電圧印加時にp⁺コレクタ領域5aが完全に空乏化して逆耐圧が低下する。一方、 $1 \times 10^{18} \text{ cm}^{-3}$ を超えると逆回復電流が増大するので、ピーク濃度は $5 \times 10^{16} \text{ cm}^{-3}$ 以上で $1 \times 10^{18} \text{ cm}^{-3}$ 以下が望ましい。

【0030】また、裏面のp⁺コレクタ領域5aの厚さが0.1μm未満では、空乏層がコレクタ電極9に達しやすくなり、順方向のアバランシェ耐圧が逆方向のアバランシェ耐圧以下になる。一方、10μmを超えると、p⁺コレクタ領域5aからの正孔の注入が大きくなり、逆回復電流が大きくなる。そのため、逆方向のアバランシェ電圧を順方向のアバランシェ電圧より高くするためには、コレクタ領域5aの厚みは0.1μm以上で、10μm以下とする。こうすることで、逆方向のアバランシェ電圧を順方向のアバランシェ電圧より10%から20%程度高くできる。この高くする割合は、製造ばらつきより大きい。この逆阻止型IGBTを用いて図15の双方向IGBTを製作すると、順、逆方向のサージ電圧が印加されたとき、片方の逆阻止型IGBTにのみサージ電流が流れることがないために、サージ耐量を向上させることができる。

【0031】また、2μmを超えるとボロニオン注入時の必要エネルギーが1MeVを超えて特殊なイオン注入装置が必要となり、また、逆回復電流をさらに小さく抑えるためには、p⁺コレクタ領域5aの厚みは2μm以下が望ましい。また、この発明が有効なのは、シリコン厚は50μm以上で200μm以下である。シリコン厚が50μm未満では、薄すぎてハンドリング(ウエハの取扱いでウエハが割れるおそれあり)が困難となり、200μmを超えると、表面からのp⁺領域15の形成に長時間かかり、製造コストが上昇するため、前記の範囲が有効となる。

【0032】また、裏面ボロニオン注入後に、エネルギーが500mJから3Jのエキシマレーザーをパルス的に照射してコレクタ領域を活性化することもできる。このエネルギーが500mJ未満では、ボロン等の不純物が必要量活性化しない。一方、3Jを超えるとエミッタ電極を形成している金属が溶融する恐れがある。前記したように、IGBTの厚みを100μm程度とし、裏面のp⁺コレクタ領域5aの厚みとピーク濃度を所定の値にすることで、IGBT動作時およびダイオード順動作時のオン電圧が低く、また、ダイオード逆動作時の逆回復電流が小さく、ソフトリカバリー特性とすることが

できる。

【0033】図9はダイオード動作時の逆回復電流・電圧波形で、同図(a)は電流波形、同図(b)は電圧波形である。従来品は図16で示す逆阻止型IGBTで、本発明品は図1で示す逆阻止型IGBTである。本発明品の方が逆回復電流が小さく、ソフトリカバリー波形となっている。そのため、逆電圧波形の跳ね上がり電圧は小さく、電圧振動が抑制されている。

【0034】図10は、この発明の第3実施例の半導体装置の要部断面図である。この半導体装置はトレンチゲート型の逆阻止IGBTの例である。ゲート構造が、トレンチ溝の中にゲート酸化膜26を介してゲート電極24が形成されている点が図1と異なる。p⁺コレクタ領域5の構造や半導体基板200の厚さは図1の場合と同じであり、図1と同じ効果が期待できる。

【0035】図11と図12は、この発明の第4実施例の半導体装置の製造方法で、要部製造工程断面図である。この半導体装置はトレンチゲート型の逆阻止IGBTである。図11は図5に相当する図で、図12は図8に相当する図である。このようにトレンチゲート構造とすることで、短絡耐量は低下するものの、プレーナゲート型よりもキャリア分布がエミッタ側偏重となり、オン電圧ターンオフ損失のトレードオフが向上する。さらに同じオン電圧であれば、より一層ソフトリカバリー波形の逆回復特性を得ることが出来る。

【0036】前記の図1、図10の逆方向のアバランシェ電圧が順方向のアバランシェ電圧より高い逆阻止型IGBTを、図15のように、互いに逆並列に接続することで、この双方向IGBTに、順または逆方向のサージ電圧が印加された場合には、順方向に電圧が印加されたIGBTがアバランシェに突入するために、順、逆方向のアバランシェで発生する損失を逆並列した両者のIGBTで均等に受け持つために、双方向IGBTのアバランシェ耐量を強化できる。

【0037】また、p⁺コレクタ領域が0.1 μ mないし10 μ m(好ましくは2 μ m)と薄くすると、さらにオン電圧ターンオフ損失のトレードオフが良好で、逆回復電流が小さな、ソフトリカバリー波形の双方向IGBTを形成できる。図18は、この発明の第5実施例の半導体装置の要部断面図である。n型の半導体基板300の第1主面の表面層にpベース領域32を形成し、pベース領域32の表面層にn⁺エミッタ領域34を形成し、半導体基板300とn⁺エミッタ領域34に挟まれたpベース領域32上にゲート酸化膜35を介してゲート電極36を形成する。ゲート電極36上に層間絶縁膜37を形成し、エミッタ電極38を形成する。半導体基板300の第2主面の表面層にp⁺コレクタ領域33を形成し、p⁺コレクタ領域33の表面にコレクタ電極39を形成する。最外周のpベース領域32と離して溝46を形成し、この溝46の表面を化学処理して、ベベル

部41を形成する。このベベル部41表面に、例えばガラスやシリコンゴムなどの絶縁膜を保護膜42として形成する。

【0038】p⁺コレクタ領域33の厚さ(深さ)は0.1 μ mから10 μ mとする。この厚さが薄い場合は、溝46がp⁺コレクタ領域33表面に達して、溝46の左側の半導体基板300は切り落とされる。このベベル部41はポジティブベベルとし、そのベベル角 θ を所定の値に設定することで、pn接合43の逆方向のアバランシェ電圧をpn接合44の順方向のアバランシェ電圧より、10%から20%高くすることができる。この高くする割合は、製造ばらつき以上とする。この逆阻止型IGBTを用いて図15の双方向IGBTを製作すると、順、逆方向のサージ電圧が印加されたとき、片方の逆阻止型IGBTにのみサージ電流が流れることがなく、双方向IGBTのサージ耐量を向上させることができる。

【0039】また、表面部45をフィールドプレート構造やガードリング構造とすることで、順方向耐圧を容易に確保できる。尚、半導体基板300で各領域が形成されない箇所がn⁻ドリフト領域31となる。また、前記のように、p⁺コレクタ領域33の厚さを0.1 μ mから10 μ mとすることで、オン電圧ターンオフ損失のトレードオフが向上する。さらに同じオン電圧であれば、より一層ソフトリカバリー波形の逆回復特性を得ることが出来る。また、p⁺コレクタ領域33の厚さを2 μ m以下とすることで、逆回復電流の低下など、逆回復特性を一層向上できる。

【0040】図19は、この発明の第6実施例の半導体装置の制御方法を説明する図で、同図(a)は等価回路図、同図(b)は、同図(a)の第1のIGBTの要部断面図である。同図(b)は、図1と同じである。T1が負で、T2が正の電圧が印加されている場合、左側の第1のIGBTはE1に正電圧が印加されて、逆バイアス状態となる。この状態のときに、エミッタ端子E1に対して、ゲート端子G1に、しきい値電圧以上の正電圧を印加し、第1のIGBTのpベース領域の表面層にチャネル48を形成する。

【0041】このチャネル48が形成されることで、空乏層で発生した電子47はチャネル48を通してエミッタ電極8に流れ込むために、寄生バイポーラトランジスタ49の増幅作用が失われ、pベース領域2から、n⁻ドリフト領域1へ注入される正孔は抑制される。その結果、エミッタ電極8からコレクタ電極9に流れる漏れ電流は大幅に抑制される。

【0042】図20は、逆漏れ電流と逆バイアス電圧の関係を示す図である。ゲート電極に電圧を印加しない場合と15Vの正電圧を印加した場合の125℃の逆漏れ電流を示す。ゲート電極に15Vの正電圧を印加した場合は、逆漏れ電流は逆バイアス電圧を大きくしても増加

の割合は極めて小さい。

【0043】

【発明の効果】この発明によると、半導体基板の厚みが50から200 μm で、コレクタ領域の厚さを0.1ないし10 μm にし、コレクタ領域のピーク濃度を $5 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ とすることで、IGBT動作時およびダイオード順動作時の過剰キャリアの蓄積量を抑制しながら、オン電圧を低減し、IGBTのオン電圧とターンオフ損失のトレードオフを改善でき、また、ダイオード逆動作時の逆回復電流を低減し、ソフトリカバリー特性を得ることができる。

【0044】また、イオン注入し、300℃から500℃の低温アニール処理（レーザーアニールなど）をすることで、0.1 μm から10 μm の厚さのコレクタ領域をエミッタ電極を溶融させずに形成することができる。また、pベース領域の側面が高濃度p⁺領域で囲まれているので、逆方向のアバランシェ電圧を印加した際にも空乏領域がシリコン側面に現れることはなく、逆方向のアバランシェ電圧を順方向のアバランシェ電圧より高くすることができる。

【0045】また、逆耐圧を維持するpn接合の端部にポジティブベベル構造を採用することで、逆方向のアバランシェ電圧を順方向のアバランシェ電圧より高くすることができる。また、逆方向のアバランシェ電圧が順方向のアバランシェ電圧より高い逆阻止型IGBTを、互いに逆並列に接続した双方向IGBTに、順および逆方向のサージ電圧を印加した場合に、順方向にサージ電圧が印加されたIGBTにアバランシェ電流が流れるために、順および逆方向のサージ電圧が印加されて発生する損失を、逆並列したそれぞれの逆阻止型IGBTが分担し、その結果、双方向IGBTとしてのサージ耐量を向上させることができる。

【0046】また、IGBTが逆バイアスされる時に、ゲート電極にしきい値電圧以上の正電圧を加えると、IGBTの寄生バイポーラトランジスタの増幅作用が失われて、逆漏れ電流を大幅に低減することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例の半導体装置の要部断面図

【図2】この発明の第2実施例の半導体装置の要部製造工程断面図

【図3】図2に続く、この発明の第2実施例の半導体装置の要部製造工程断面図

【図4】図3に続く、この発明の第2実施例の半導体装置の要部製造工程断面図

【図5】図4に続く、この発明の第2実施例の半導体装置の要部製造工程断面図

【図6】図5に続く、この発明の第2実施例の半導体装置の要部製造工程断面図

【図7】図6に続く、この発明の第2実施例の半導体装

置の要部製造工程断面図

【図8】図7に続く、この発明の第2実施例の半導体装置の要部製造工程断面図

【図9】ダイオード動作時の逆回復電流・電圧波形で、(a)は電流波形図、(b)は逆電圧波形図

【図10】この発明の第3実施例の半導体装置の要部断面図

【図11】この発明の第4実施例の半導体装置の要部製造工程断面図

【図12】この発明の第4実施例の半導体装置の要部製造工程断面図

【図13】従来のプレーナゲート型IGBTの要部断面図

【図14】エピタキシャル基板を使用した従来の逆阻止型IGBTの要部断面図

【図15】双方向IGBTの等価回路図

【図16】FZ基板を使用し、熱拡散で形成した従来の逆阻止型IGBTの要部断面図

【図17】キャリア分布図

【図18】この発明の第5実施例の半導体装置の要部断面図

【図19】この発明の第6実施例の半導体装置の制御方法を説明する図で、(a)は等価回路図、(b)は、(a)の第1のIGBTの要部断面図

【図20】逆漏れ電流と逆バイアス電圧の関係を示す図

【符号の説明】

1、31 n⁻ドリフト領域

2、32 pベース領域

3、34 n⁺エミッタ領域

4、24、36 ゲート電極

5、33 p⁺コレクタ領域

5a 裏面のp⁺コレクタ領域

6、26、35 ゲート酸化膜

7、37 層間絶縁膜

8、38 エミッタ電極

9、39 コレクタ電極

11 初期酸化膜

12 開口部

13 ボロンデポジション領域

14 酸化膜

15 p⁺領域（側面のp⁺コレクタ領域）

16 削り面

17 切断箇所

41 ベベル部

42 保護膜

43、44 pn接合

45 表面部

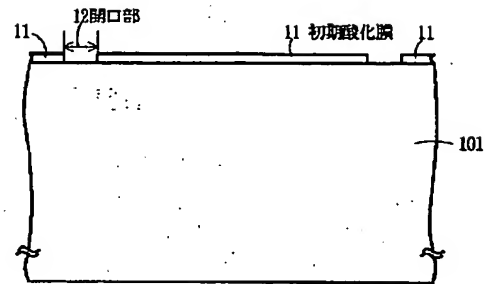
46 溝

47 電子

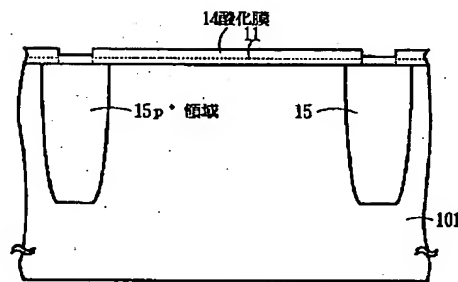
48 チャネル

101 FZウエハ

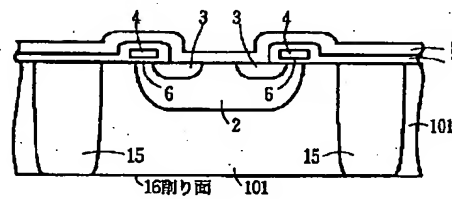
【図 2】



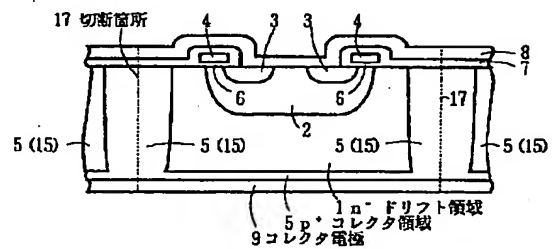
【図4】



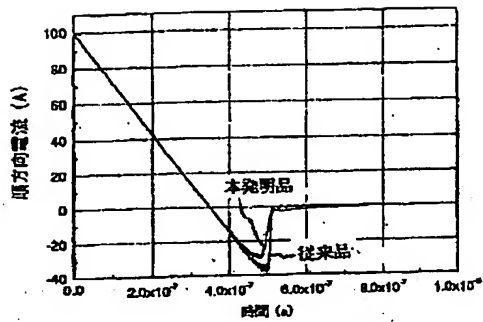
【図6】



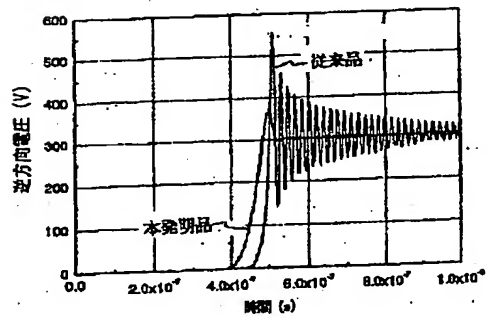
【図7】



【図9】

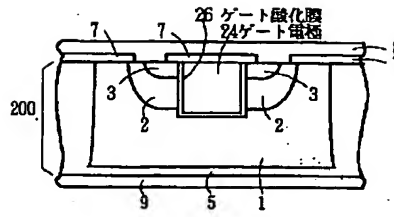


(a)

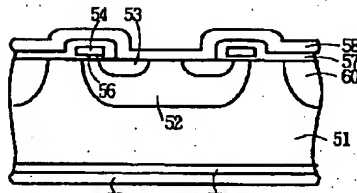


(b)

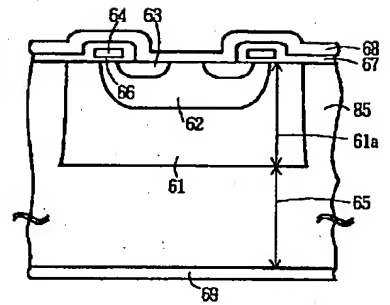
【図10】



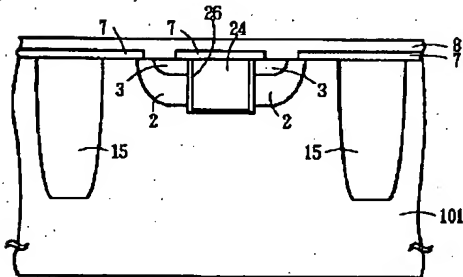
【図13】



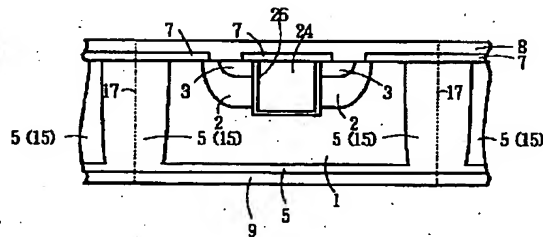
【図14】



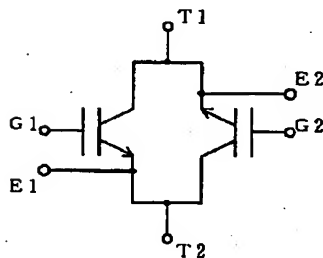
【図11】



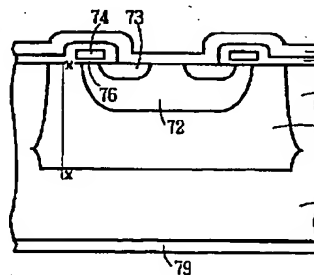
【図12】



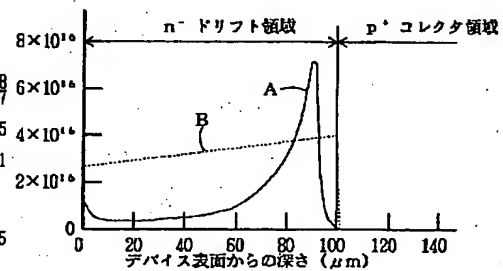
【図15】



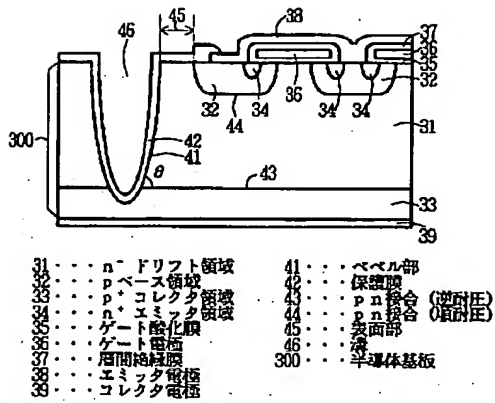
【図16】



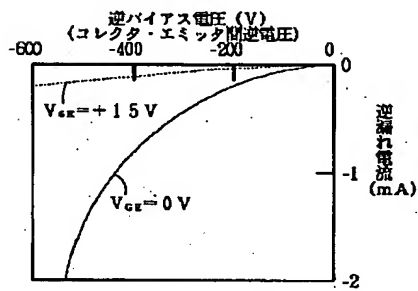
【図17】



【図18】



【図20】



【図19】

